姓名： 金跃华 学号： 2301770349

学院： 计算机与电子信息学院 专业： 计算机科学与技术

班级： 计科233 时间： 2024年 11 月 11 日

# 实验名称： 顺序脉冲发生器

一、实验目的

1、掌握顺序脉冲发生器的原理；

2、掌握顺序脉冲发生器的设计方法。

二、实验原理

1、定时脉冲/节拍脉冲

按固定时间顺序再现的脉冲序列称为定时脉冲，也称为节拍脉冲。一个数字系统之所以有条不紊的工作，完全是受到定时脉冲的指挥。

2、顺序脉冲发生器

在数字系统和计算机中，往往需要机器按照人们事先规定的顺序进行运算或操作，这就要求机器的控制部分不仅能正确地发出各种控制信号，而且要求这些控制信号在时间上有一定的先后顺序。用顺序脉冲发生器可以实现这一功能。顺序脉冲也叫相位脉冲，或节拍脉冲。计算机之所以能一步一步地运行，就是要靠节拍脉冲一拍一拍地指挥。顺序脉冲发生器用于产生时间上有先后顺序的脉冲，通常可以用移位寄存器产生，也可以由计数器和译码器组合而成，计数器状态提供译码器的地址码，译码器把该地址代码译成有一定顺序的点位脉冲。

三、实验设备及器件

1、仿真软件：Dream Logic 2019。

四、实验内容及过程

1、任务1

（1）任务描述：

观察一个由自然二进制码同步八进制计数器构成的顺序脉冲发生器的波形，理解顺序脉冲发生器的工作原理。

（2）实验步骤：

1.打开项目下的原理图文件binary.dlsche。原理图中包含一个由JK触发器构成的同步模8计数器，一个3-8译码器和一个逻辑分析仪。3-8译码器输出的8相顺序脉冲分别与逻辑分析仪的8个通道连接。通过逻辑分析仪可以观察顺序脉冲波形。  
 2.启动仿真，观察计数器值的变化情况。双击逻辑分析仪，观察脉冲波形，理解顺序脉冲发生器的工作原理。

（3）逻辑电路原理图：

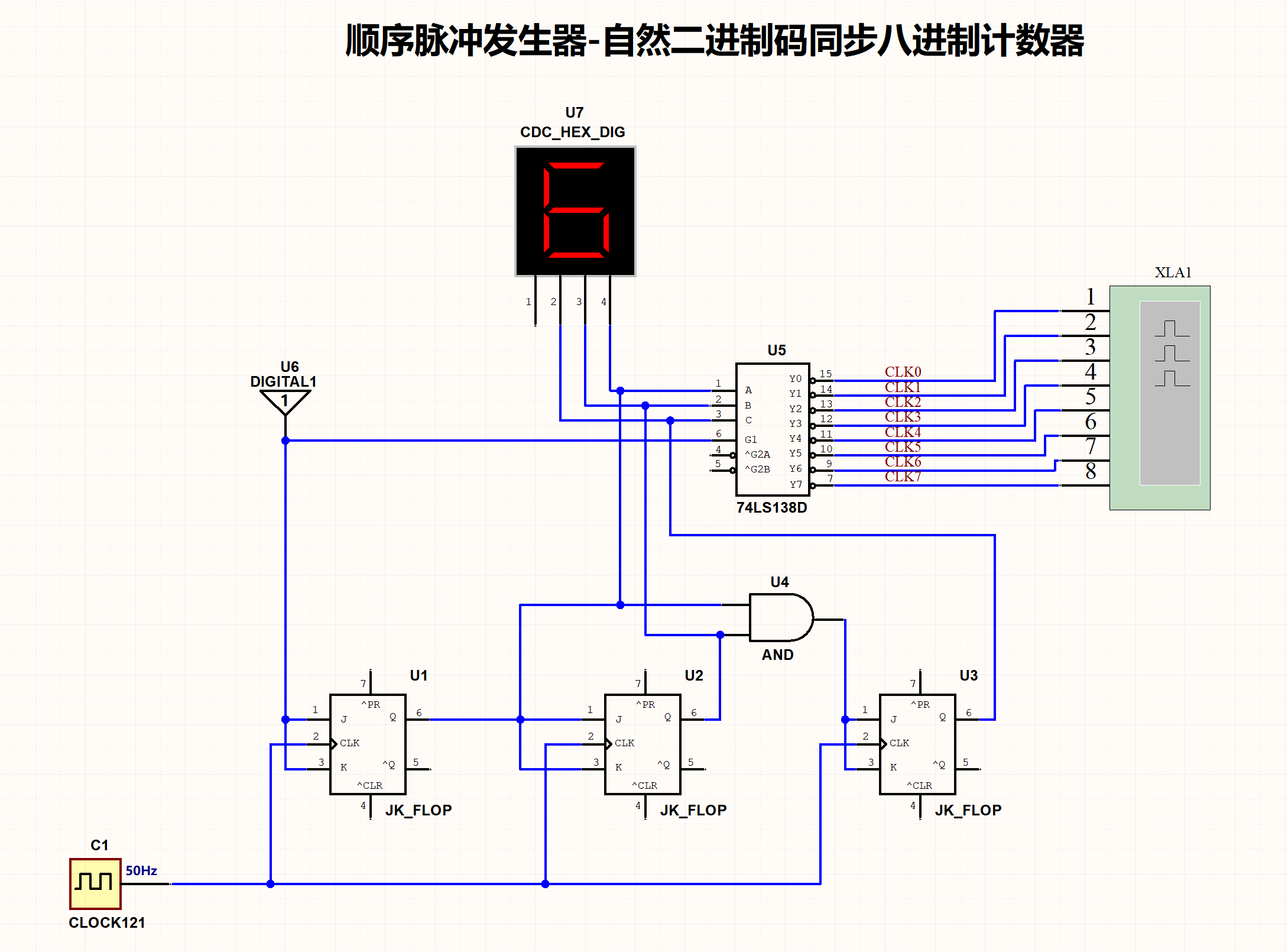


图4-1 自然二进制码同步八进制计数器顺序脉冲发生器

2、任务2

（1）任务描述：

设计格雷码同步八进制计数器顺序脉冲发生器。

（2）实验步骤：

在项目下新建一个原理图文件gray.dlsche，在其中设计一个格雷码同步八进制计数器，并使用该计数器以及3-8译码器实现一个8相顺序脉冲发生器。格雷码如表4-1所示。

表4-1 常用BCD码

|  |  |  |  |
| --- | --- | --- | --- |
| 十进制数 | 8421码 | 余3码 | 格雷码 |
| 0 | 0000 | 0011 | 0000 |
| 1 | 0001 | 0100 | 0001 |
| 2 | 0010 | 0101 | 0011 |
| 3 | 0011 | 0110 | 0010 |
| 4 | 0100 | 0111 | 0110 |
| 5 | 0101 | 1000 | 0111 |
| 6 | 0110 | 1001 | 0101 |
| 7 | 0111 | 1010 | 0100 |
| 8 | 1000 | 1011 | 1100 |
| 9 | 1001 | 1100 | 1101 |

（3）实验设计说明：

表4-2 自然二进制码和格雷码对照表

|  |  |  |  |
| --- | --- | --- | --- |
| 自然二进制  B3B2B1B0 | 十进制数 | 格雷码  G3G2G1G0 | 十进制数 |
| 0000 | 0 | 0000 | 0 |
| 0001 | 1 | 0001 | 1 |
| 0010 | 2 | 0011 | 3 |
| 0011 | 3 | 0010 | 2 |
| 0100 | 4 | 0110 | 6 |
| 0101 | 5 | 0111 | 7 |
| 0110 | 6 | 0101 | 5 |
| 0111 | 7 | 0100 | 4 |

（4）逻辑电路原理图：

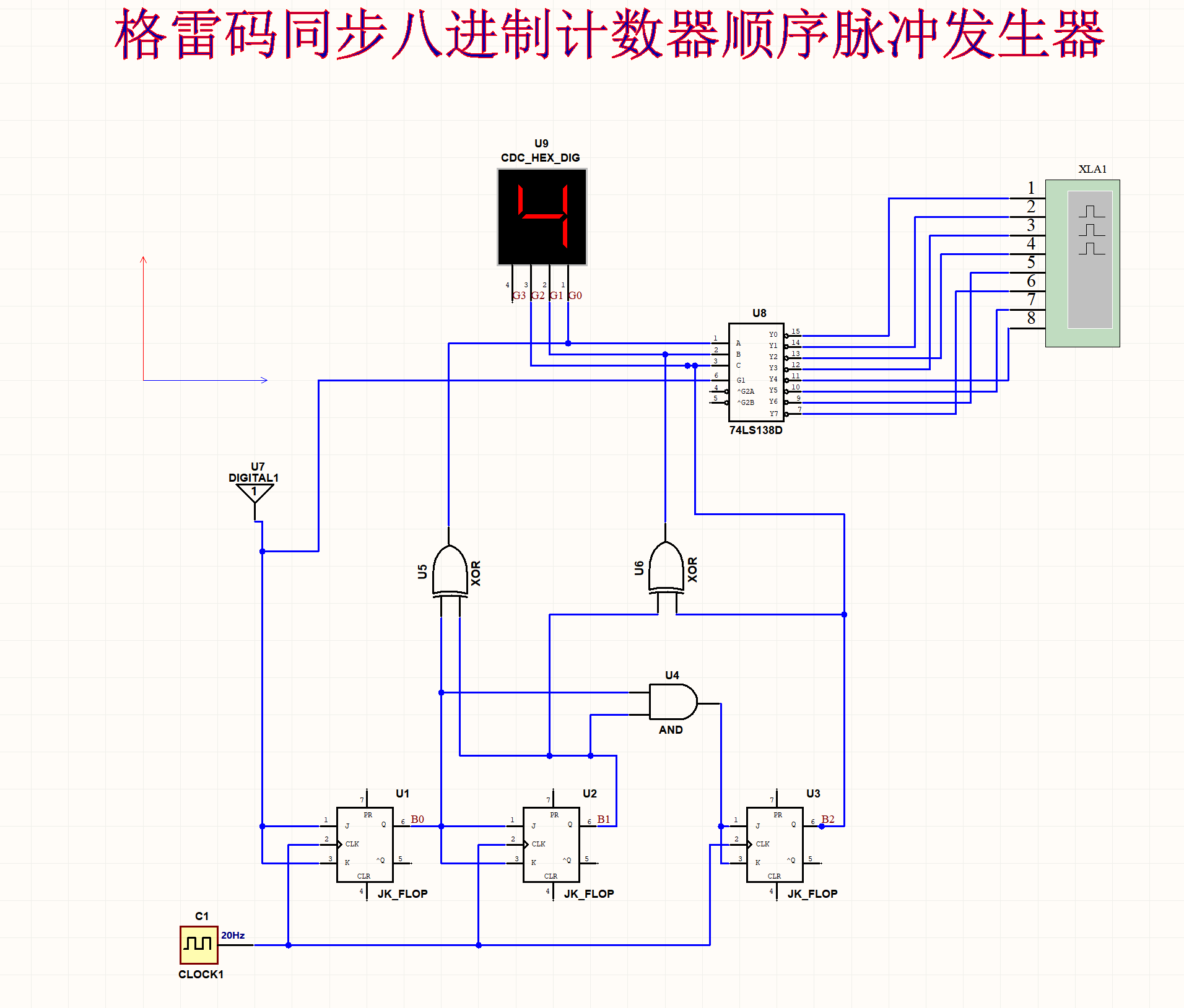


图4-2 格雷码同步八进制计数器顺序脉冲发生器

五、实验收获与心得

1、这次的实验使我充分了解到顺序脉冲发生器、定时脉冲/节拍脉冲、格雷码的巨大作用，掌握了顺序脉冲发生器的相关操作，使我能够用其实现许多功能，学会了其工作原理，对设计它有了更深的了解，并且让我懂得了数电与动手实验的重要性，让我对这门课程有了更大的兴趣。

2、通过实验还提高了一点改错能力，对于一些问题加深了印象，这些收获将成为以后学习中一笔不可或缺的财富。

六、思考与练习

1. 附录（芯片的管脚图）

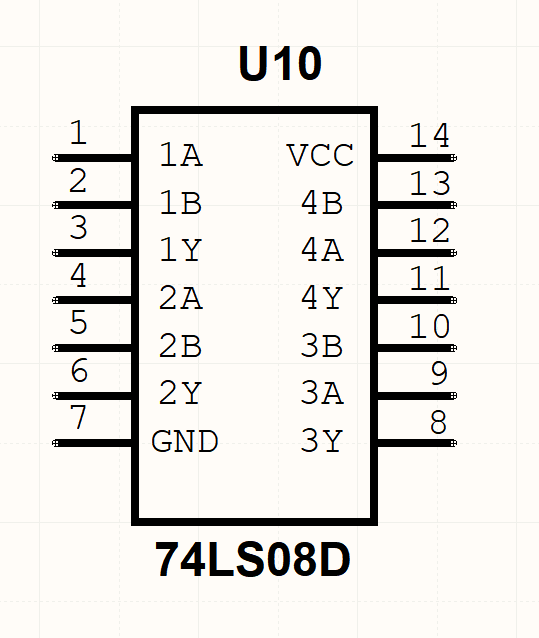


图6.1 二输入与门

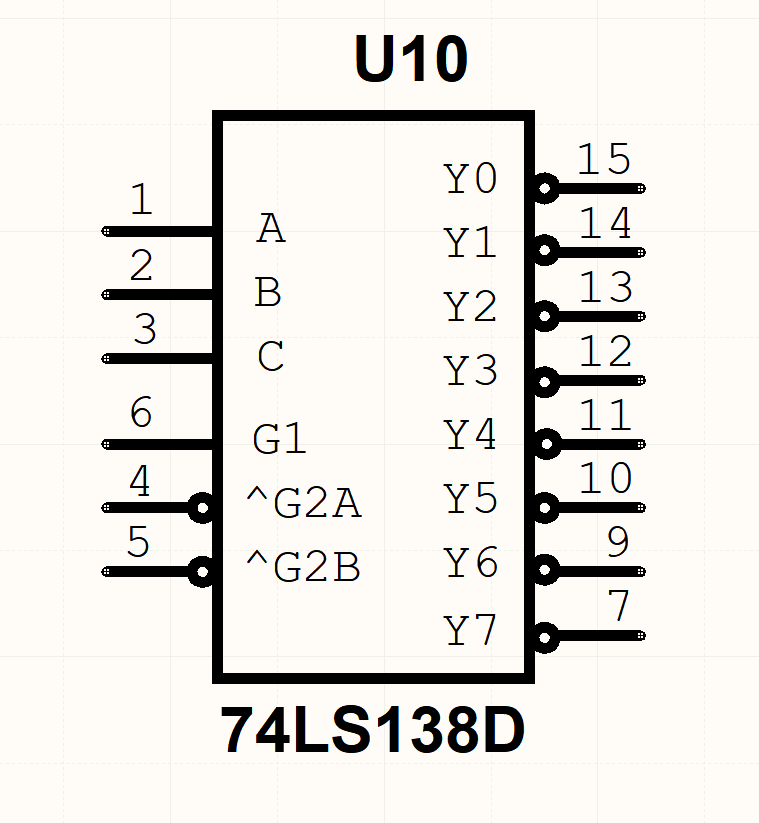


图6.2 74LS138D

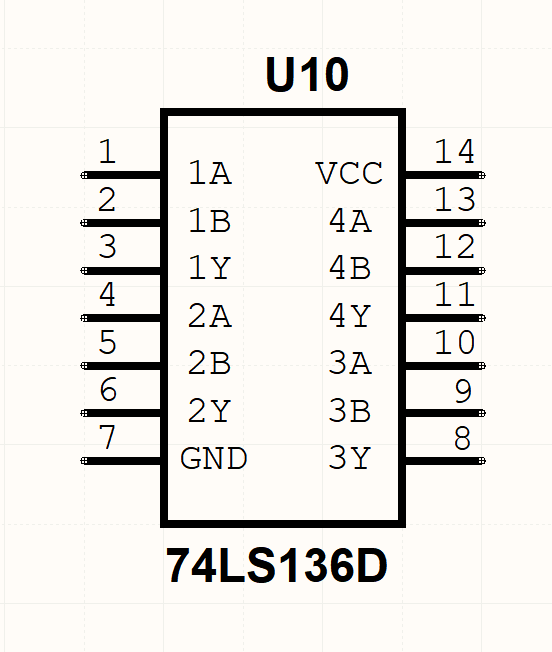


图6.3 二输入异或门